

PAT-NO: JP408162359A
DOCUMENT-IDENTIFIER: JP 08162359 A
TITLE: CHIP TYPE CERAMIC ELECTRONIC PART
PUBN-DATE: June 21, 1996

INVENTOR-INFORMATION:
NAME
TAKAHASHI, HIROMASA

ASSIGNEE-INFORMATION:
NAME
MURATA MFG CO LTD

COUNTRY
N/A

APPL-NO: JP06304969
APPL-DATE: December 8, 1994
INT-CL (IPC): H01G004/12, H01G004/252

ABSTRACT:

PURPOSE: To alleviate thermal shock caused by soldering when a mounting operation is conducted and also to alleviate mechanical stress caused by bending a circuit substrate by a method wherein an external electrode is composed of the first porous electrode layer and the second dense electrode layer which covers the whole surface of the above-mentioned first electrode layer.

CONSTITUTION: Conductive paste, to be used for formation of the first electrode layer consisting of an alloy composed of a metal component of silver

(95wt.%) and paradium (5wt.%), is spread on the end part of a ceramic sintered body 13, and they are fired at 730°C. Then, conductive paste, to be used for formation of the second electrode layer consisting of metal component of silver, is spread on the whole surface of the first electrode layer 15, and a laminated ceramic capacitor, consisting of the first polous electrode layer 15 having the void ratio of 25% and the second dense electrode layer 16 formed on the first electrode layer 15, is obtained. When a heat-resisting test is conducted by dipping the material in the solder bath of 235°C for five seconds, cracks are not generated, and electric characteristics are not impaired even when a part of the porous first electrode layer 15 is collapsed.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162359

(43) 公開日 平成8年(1996)6月21日

(51) IntCl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 G	4/12	3 5 2		
	4/252			
		9174-5E	H 0 1 G	1/ 14 V

審査請求 未請求 請求項の数1 O L (全 5 頁)

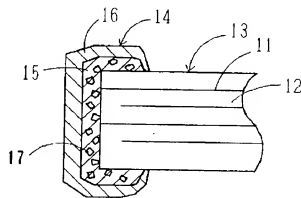
(21) 出願番号	特願平6-304969	(71) 出願人	000006231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22) 出願日	平成6年(1994)12月8日	(72) 発明者	高橋 弘真 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(54) 【発明の名称】 チップ型セラミック電子部品

(57) 【要約】

【目的】 実装時のはんだ付けの熱的衝撃や回路基板の曲げによる機械的な応力を緩和し、セラミック焼結体へのクラックの発生を防止できるチップ型セラミック電子部品を提供する。

【構成】 セラミック焼結体の端部に内部電極と導通する外部電極を有するチップ型セラミック電子部品において、前記外部電極はボラスな第1電極層と、この第1電極層の表面の全面を覆う緻密な第2電極層とからなることを特徴とする。



【特許請求の範囲】

【請求項1】 セラミック焼結体の端部に内部電極と導通する外部電極を有するチップ型セラミック電子部品において、前記外部電極はポーラスな第1電極層と、この第1電極層の表面の全面を覆う緻密な第2電極層とからなることを特徴とするチップ型セラミック電子部品。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はチップ型セラミック電子部品に関し、特にその外部電極の構造に関するものである。

【0002】

【従来の技術】例えば、チップ型セラミック電子部品である積層セラミックコンデンサは、図2に示すように、複数の内部電極7がセラミック層8を介して重なり合うように配置されて、かつ交互に両端部に引出されている構造を有するセラミック焼結体1の両端部に、A層ペースト等の導電ペーストを塗布し、焼成して、内部電極と導通する外部電極2が形成されている。

【0003】

【発明が解決しようとする課題】ところで、上記のように、従来のチップ型セラミック電子部品（積層セラミックコンデンサ）の外部電極2は導電ペーストの塗布、焼成により形成されているため、緻密な電極層となっている。このため、実装時のはんだの熱が外部電極2に伝わり易い反面、熱伝導性の悪いセラミック焼結体1に対しては大きな熱的衝撃を与える。これが原因で、図4に示すように、はんだ融着部分であるところのセラミック焼結体1の角部の外部電極2に近接する部分にクラックが入ることがある。また、従来のチップ型セラミック電子部品（積層セラミックコンデンサ）は、その外部電極2が緻密な電極層からなっており、外部電極自体に割れがある。このため、図3に示すように、回路基板3の電極ランド4に電子部品の外部電極2をはんだで取付けて実装し、その状態で図の矢印方向に応力が加わって回路基板3がたわんだりすると、回路基板3の曲げによる機械的な応力がはんだと外部電極2を介して電子部品のセラミック焼結体1に直接作用する。その結果、図4に示したはんだ付けの熱衝撃により入ったクラックと同様のクラックが入ることがある。

【0004】そこで、本発明は、実装時のはんだ付けの熱的衝撃や回路基板の曲げによる機械的な応力を緩和し、セラミック焼結体へのクラックの発生を防止できるチップ型セラミック電子部品を提供することを目的とする。

【0005】

【課題を解決するための手段】上記のような課題を解決するために、本発明は、セラミック焼結体の端部に内部電極と導通する外部電極を有するチップ型セラミック電子部品において、前記外部電極はポーラスな第1電極層

と、この第1電極層の表面の全面を覆う緻密な第2電極層とからなることを特徴とするチップ型セラミック電子部品である。

【0006】

【作用】本発明によれば、外部電極を構成する第1電極層がポーラス層で形成されているため、その熱容量を大きくでき、熱や熱応力の伝播を緩和する。よって、外部電極のはんだ付け時の熱衝撃が緩和できる。また、機械的応力が加わると、第1電極層の一部がつぶれて、機械的応力を緩和する。よって、回路基板にセラミック電子部品の外部電極をはんだ付けた後、前記回路基板がたわむことがあっても、セラミック焼結体に加わる機械的な応力が緩和できる。さらに、前記第1電極層の表面の全面を覆うように、緻密な第2電極層を設けることにより、第1電極層の一部がつぶれても、チップ型セラミック電子部品の電気的特性を損なうことがなく、かつセラミック焼結体の内部への湿気の浸入を防ぐことができる。

【0007】

【実施例】図1は本発明の一実施例のチップ型セラミック電子部品である積層セラミックコンデンサの外部電極を含む部分断面図を示している。図1に示すように、セラミック焼結体13の内部に複数の内部電極11が、セラミック層12を介して重なり合うように配置され、セラミック焼結体13の端部に交互に引出されており、そのセラミック焼結体13の端部に内部電極と導通する外部電極14が形成されている。この外部電極14は、図1に示されているような比較的大きな空隙17が多数存在しているポーラスな第1電極層15と、この第1電極層の表面の全面を覆う緻密な第2電極層16とから構成されている。

【0008】この本発明のチップ型セラミック電子部品（積層セラミックコンデンサ）の外部電極14を、例えば、導電ペーストを塗布、焼成により形成する場合には、セラミック焼結体13の端部にポーラスな第1電極層15と、この第1電極層15の表面の全体を覆う緻密な第2電極層16を形成するために、第1電極層形成用の導電ペーストは、第2電極層形成用の導電ペーストに比べて、高温で焼結しにくく、ポーラスな電極層が形成できるものを用い、第2電極層形成用の導電ペーストは高温で焼結しやすく、緻密な電極層が形成できるものを用いなければならない。

【0009】例えば、金属成分、ガラス成分、樹脂成分及び溶剤成分などからなる導電ペーストについて言えば、具体的には第1電極層形成用の導電ペーストの金属成分を合金成分とし、金属成分の中に焼結を抑制する添加物を添加したりすればよく、より具体的には金属成分として銀を用いる場合には、銀より高融点の金属成分との合金を用いればよく、銀/パラジウム合金や銀/白金合金などであってもよい。また、焼結を抑制する

添加物としては、例えば、酸化アルミナ、酸化シリカなどの酸化物を用いばよい。なお、外部電極14を導電ペーストの塗布、焼成により形成する場合、第2電極層16の焼成により第1電極層15のボラス性を損なわないようにする必要がある。つまり、第1電極層15を形成する焼成温度は第2の外部電極層16を形成する焼成温度と同じか、それ以上の温度とすることが好ましい。第1と第2電極層15、16の焼成を同じ温度で行う場合には、両電極層を1回の焼成で形成するようにしてもよい。また、導電ペーストの金属成分は銀を主体としたもののみならず、銅やニッケルなどの他の金属成分を主体としたものであってもよい。

【0010】なお、この第1電極層15の空隙率は15%～35%が好ましい。その理由は、電極層の空隙面積率が15%未満になると、ボラスな電極層の機械的な耐力や熱衝撃の緩衝効果が少なくなり、セラミック焼結体へのクラックが入りやすくなる。また、空隙率が35%を超えると内部電極11との導通不良が発生しやすくなる。なお、より好ましくは空隙率20%～30%が望ましい。また、第2電極層16は耐湿試験をしたり、外部電極14の表面に湿式電解メッキを施しても、湿気やメッキ液がセラミック焼結体の内部に浸入しにくく、信頼性の高い電子部品を得ることができる程度に緻密に形成されている。

【0011】以下に本発明のチップ型セラミック電子部品を、その外部電極形成方法についてより具体的に説明する。

【0012】まず、図1に示すセラミック焼結体13の端部に、第1電極層形成用の導電ペーストを塗布する。この第1電極層形成用の導電ペーストの金属成分は銀9×30

	クラック発生個数
実施例	0個
従来例	27個

*5重量%、パラジウム5重量%からなる合金を使用する。そして、塗布された導電ペーストを730℃で焼成する。次に、その金属成分が銀のみからなる第2電極層形成用の導電ペーストを、第1電極層の表面の全面を覆うように塗布し、730℃で焼成する。

【0013】上記のようにして外部電極が形成されたチップ型セラミック電子部品を、外部電極14が含まれるように切断し、第1及び第2電極層15、16の断面層を走査型電子顕微鏡で写真を取り、空隙率を測定した結果、第1電極層15の空隙率は25%であり、ボラスな電極層が形成され、そして、第2電極層は緻密な電極層(空隙率8%)が形成されていることが確認された。

【0014】次に、この実施例のように第1電極層15に空隙率25%のボラスな電極層を形成し、その上に緻密な第2電極層16を形成したチップ型セラミック電子部品(積層セラミックコンデンサ)と従来例で示した外部電極層2が緻密な電極層一層のみを形成したものとをそれぞれ100個用意し、外形寸法が長さ10.0mm、W寸4.0mm、T寸1.6mmのガラスエポキシ基板上の中央に形成された電極ランド間にそれぞれ接着材で固定して、235℃のはんだ槽の中に、5秒間浸漬して取付け実装する耐熱試験を行った。その後、はんだ融着部分であるところのセラミック焼結体13、1の角部の外部電極14、2に近接する部分の外観、及びその部分を研磨してその断面を拡大鏡で目視観察することによって、セラミック焼結体へのクラックの発生の有無を調べた。その試験結果は以下の表1の通りである。

【0015】

【表1】

(試験数 各100個)

【0016】上記、表1の試験結果より、この実施例にかかる電子部品全てにクラックは存在せず、電気的特性を損なうこともなかった。一方、従来例のものでは、100個のうち27個に、クラックが存在した。よって、この実施例により得られた電子部品は、その耐熱性が優れていることが分かる。

【0017】さらに、先の耐熱試験と同様、各100個のチップ型セラミック電子部品(積層セラミックコンデンサ)をそれぞれ基板にはんだ付けした後、図3に示す※

※ように、矢印方向に応力を加えて、基板を2mmたわませるたわみ試験を行った。その後、はんだ融着部分であるところのセラミック焼結体13、1の角部の外部電極14、2に近接する部分の外観、及びその部分を研磨した断面を拡大鏡で目視観察することによって、セラミック焼結体へのクラックの発生の有無を調べた。その試験結果は以下の表2の通りである。

【0018】

【表2】

	クラック発生個数
実施例	0個
従来例	50個

(試料数 各100個)

【0019】上記、表2の試験結果より、この実施例のものでは、電子部品100個全てにクラックは存在せず、しかも、外部電極層14のボラスな第1電極層15の一部につぶれがあるものが45個確認できたものの電気的特性を損なうこともなかった。一方、従来例のものでは、電子部品100個のうち50個に、クラックが存在した。よって、この実施例により得られた電子部品は、耐熱性ととも機械的強度にも優れていることが分かる。

【0020】なお、外部電極は導電ペーストの塗布、焼成により形成する場合に限るものではなく、蒸着やスパッタリングなどで形成してもよい。

【0021】また、この発明のチップ型セラミック電子部品は、積層セラミックコンデンサに限らず、チップ型抵抗やチップ型インダクタなど、外部電極を有するあらゆるセラミック電子部品に適用できることは言うまでもない。

【0022】

【発明の効果】以上のように、本発明によれば、外部電極を2層に構成し、下層である第1電極層15がボラス層で形成されているため、チップ型セラミック電子部品のはんだ付け時のセラミック焼結体13への熱衝撃や基板のたわみによってセラミック焼結体13に加わる機械的な応力が緩和され、セラミック焼結体へのクラック*

の発生を防止できる。また、前記第1電極層の表面の全面を覆う緻密な第2電極層を設けることにより、第1電極層の一部がつぶれても、チップ型セラミック電子部品の電気的特性を損なうことがなく、かつセラミック焼結体の内部への湿気の浸入を防ぎ、絶縁抵抗等の劣化を防止できる。従って、実装部品として、信頼性の高いチップ型セラミック電子部品を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる積層セラミックコンデンサの部分断面図である

【図2】従来の積層セラミックコンデンサの断面図である。

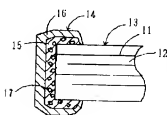
【図3】チップ型セラミック電子部品が実装された基板に機械的応力を加えて、基板をたわませる説明図である。

【図4】セラミック焼結体にクラックが入った状態を示す説明図である。

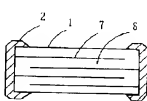
【符号の説明】

- 13・・・セラミック焼結体
- 14・・・外部電極
- 15・・・第1電極層
- 16・・・第2電極層
- 17・・・空隙

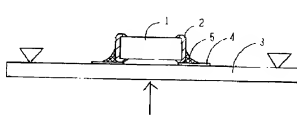
【図1】



【図2】



【図3】



(5)

特開平8-162359

【図4】

